

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen:

102 57 665.3

Anmeldetag:

10. Dezember 2002

Anmelder/Inhaber:

Infineon Technologies AG, München/DE

Bezeichnung:

Halbleiterspeicher mit einer Anordnung von
Speicherzellen

IPC:

H 01 L 27/108

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 27. November 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag



Letang

Beschreibung

Halbleiterspeicher mit einer Anordnung von Speicherzellen

5 Die Erfindung betrifft einen Halbleiterspeicher mit einer Anordnung von Speicherzellen, die an erste Leitungen und an zweite Leitungen, die die ersten Leitungen kreuzen, angeschlossen sind und die jeweils einen Speicherkondensator und einen vertikalen Auswahltransistor aufweisen. DRAMs (dynamic random access memory) und andere flüchtige Halbleiterspeicher sind in dieser Weise aufgebaut. Sie besitzen ein Speicherzellenfeld, deren Speicherzellen jeweils einen Speicherkondensator zum Speichern von Ladungen und einen Auswahltransistor aufweisen. Jede Speicherzelle wird von einer ersten Leitung (beispielsweise einer Bitleitung) und einer zweiten Leitung (z. B. einer Wortleitung), die senkrecht oder schräg zur ersten Leitung über das Halbleitersubstrat verläuft und die erste Leitung kreuzt, angesteuert. Durch eine Veränderung der elektrischen Potentiale an der ersten und/oder der zweiten Leitung kann der Auswahltransistor geschaltet werden, so daß eine gewisse Ladungsmenge in den Speicherkondensator oder aus diesem heraus fließen kann.

25 Auswahltransistoren werden meist als MOSFETs (metall oxide semiconductor field effect transistor) ausgebildet, deren eine Source/Drain-Elektrode an eine Bitleitung und deren Gateelektrode an eine Wortleitung angeschlossen ist. Die zweite Source/Drain-Elektrode führt zum Speicherkondensator. Angesichts zunehmender Integrationsdichte zukünftiger Halbleiterspeicher werden die Auswahltransistoren vorzugsweise als vertikale Transistoren ausgebildet, deren beide Source/Drain-Elektroden vertikal zur Substratoberfläche übereinander angeordnet sind. Dadurch benötigt der Auswahltransistor nur eine minimale Substratgrundfläche. Bei vertikalen Auswahltransistoren ist die Gateelektrode seitlich nur wenig versetzt und auf mittlerer Höhe zwischen beiden Source/Drain-Elektroden des Transistors angeordnet. Planare Auswahltransistoren hin-

gegen, deren Elektroden lateral nebeneinander auf der Substratoberfläche angeordnet sind, benötigen eine wesentlich größere Substratgrundfläche.

5 Im Zellenfeld eines Halbleiterspeichers werden Speicherkondensatoren bezüglich der Grundfläche des Halbleitersubstrats in unmittelbarer Nähe zum Kreuzungspunkt der Bitleitung und der Wortleitung angeordnet, die die betreffende Speicherzelle ansteuern. Entsprechend der üblichen netzwerkförmigen Anordnung
10 zueinander paralleler Bitleitungen und zueinander paralleler Wortleitungen, die meist senkrecht zu den Bitleitungen über oder in der Substratgrundfläche verlaufen, sind die Speicherzellen und somit auch die Speicherkondensatoren beispielsweise schachbrettartig auf dem Substrat angeordnet. An
15 mindestens einem Rand des Zellenfeldes sind Anschlüsse für die die Bitleitungen kreuzenden Wortleitungen vorgesehen. Bei einer realen Zellenfeldarchitektur kreuzen die Bitleitungen hingegen nicht mehr alle Wortleitungen, sondern nur noch einige von ihnen, um die Bitleitungskapazität gering zu halten
20 und ein Auslesen einer Information aus einer Speicherzelle zu erleichtern. Verschiedene Gruppen von Wortleitungen kreuzen daher unterschiedliche Gruppen von Bitleitungen, so daß anstelle eines einzigen Zellenfeldes mehrere Zellenblöcke entstehen. Für Wortleitungen und Bitleitungen werden entsprechende
25 Treiberschaltungen, d.h. Wortleitungstreiber oder Bewertungsschaltungen für Bitleitungen eingesetzt.

Bei dem Betrieb eines Halbleiterspeichers entstehen Zeitverzögerungen, die je nach Länge der Leitungen, über die elektrische Signale transportiert werden, variieren. Da Halbleiterspeicher mit zunehmender Taktrate betrieben werden, müssen
30 die zeitlichen Verzögerungen verschiedener Signale zueinander kontrolliert und koordiniert werden. Insbesondere müssen durch unterschiedliche Leitungslängen bedingte Zeitverzögerungen deutlich unterhalb der Taktrate, mit der ein Halbleiterspeicher betrieben wird, liegen, um ein einwandfreies
35 Funktionieren des Speicherbetriebs zu gewährleisten. Die zu-

nehmende Größe von Speicherzellenfeldern führt jedoch aufgrund erhöhter Taktraten, d.h. zeitlich immer kürzer werden der Taktabstände zu Störungen infolge unterschiedlicher Leitungslängen insbesondere von Wortleitungen und Bitleitungen.

5 Je mehr Speicherzellen an eine einzige Wortleitung oder Bitleitung angeschlossen werden, umso größer ist der zeitliche Unterschied eines Signals, das über diese Leitungen beim Schreiben oder Auslesen in die bzw. aus den Speicherzellen oder beim Aktivieren oder Deaktivieren von Reihen von Speicherzellen entsteht. Da sämtliche Wortleitungen und Bitleitungen (über eine Treiberschaltung) mit einem den Betrieb des Speicherzellenfeldes steuernden Logikbereich verbunden sind, variieren die Signalverzögerungen in etwa proportional zur Entfernung der über eine Leitung angesprochenen Speicherzelle von dem Logikbereich. So werden beispielsweise nahe an einem Bitleitungstreiber angeordnete Speicherzellen tendenziell schneller ausgelesen als Speicherzellen, die sich am entgegengesetzten Ende der Bitleitung befinden. Gleiches gilt für die Signalausbreitung entlang von Wortleitungen. Insbesondere bei Hochfrequenzschaltungen, die mit Taktraten im Gigahertzbereich betrieben werden, erfordert der einwandfreie Betrieb eines Halbleiterspeichers besonders gleichmäßige Signalverzögerungen.

25 Es ist die Aufgabe der vorliegenden Erfindung, einen Halbleiterspeicher bereitzustellen, bei dem bei zumindest einer Art von Zuleitungen zu den Speicherzellen (Bitleitungen oder Wortleitungen) die durch die Leitungslängen bedingten Signalverzögerungen weniger stark mit der lokalen Position einer Speicherzelle im Speicherzellenfeld schwanken; die Signalverzögerungen sollen über alle Speicherzellen gemittelt homogener und auch insgesamt kürzer sein. Es ist ferner die Aufgabe der Erfindung, die Anzahl von Speicherzellen, die pro Wortleitung oder pro Bitleitung angeschlossen angesteuert werden, zu verändern und dadurch zusätzliches Potential für eine Optimierung von Leitungslängen und Signalverzögerungszeiten von Wortleitungen oder Bitleitungen zu schaffen.

Diese Aufgabe wird erfindungsgemäß durch einen Halbleiterspeicher gemäß Anspruch 1 gelöst, bei dem die Speicherzellen mindestens ein Speicherzellenfeld bilden, in dem

- 5 - die ersten Leitungen zueinander divergent verlaufen und die zweiten Leitungen gekrümmt sind,
- an jedem Kreuzungspunkt zwischen einer ersten Leitung und einer zweiten Leitung eine Speicherzelle angeschlossen ist und
- 10 - an jede der ersten Leitungen Speicherzellen angeschlossen sind, deren Speicherkondensatoren seitlich abwechselnd zu beiden Seiten der jeweiligen ersten Leitung versetzt angeordnet sind.

- 15 Diese Aufgabe wird ferner durch einen Halbleiterspeicher gemäß Anspruch 2 gelöst, bei dem die Speicherzellen mindestens ein Speicherzellenfeld bilden, in dem

- die ersten Leitungen zueinander divergent verlaufen und die zweiten Leitungen gekrümmt sind,
- 20 - an jedem Kreuzungspunkt zwischen einer ersten Leitung und einer zweiten Leitung eine Speicherzelle angeschlossen ist und
- an jede der zweiten Leitungen Speicherzellen angeschlossen sind, deren Speicherkondensatoren seitlich abwechselnd zu
- 25 beiden Seiten der jeweiligen zweiten Leitung versetzt angeordnet sind.

- Beiden Halbleiterspeichern ist gemeinsam, daß erste Leitungen, die zum Ansteuern der Speicherzellen dienen, nicht zueinander parallel, sondern divergent verlaufen und daß die
- 30 zweiten Leitungen, die die ersten Leitungen kreuzen, gekrümmt sind. Dadurch wird es möglich, einen Logikbereich von mehr als nur einer Seite von einem Speicherbereich zu umgeben, wodurch sich ein Speicherbereich beispielsweise ringförmig um
- 35 einen Logikbereich anordnen läßt, der in der Mitte angeordnet ist. Entsprechend dem Umfang eines solchen ringförmig um einen Logikbereich verlaufenden Speicherbereich kann eine ver-

hältnismäßig große Anzahl radial nach außen verlaufender erster Leitungen (Wortleitungen oder Bitleitungen) vorgesehen werden, wobei diese Leitungen aufgrund ihrer großen Anzahl relativ kurz ausgebildet werden können, so daß Signalverzögerungen entlang dieser Leitungen klein sind. Wenn ein Speicherzellenfeld eine große Anzahl radial verlaufender erster Leitungen besitzt, kann die Anzahl von Speicherzellen, die durch jeweils eine einzige erste Leitung angesteuert werden, sehr klein gewählt werden, wodurch die Signalverzögerungen in den ersten Leitungen sehr homogen und klein sind. Dadurch werden die Zugriffszeiten zu den einzelnen Speicherzellen weniger stark abhängig von der Position einer Speicherzelle entlang einer ersten Leitung und auch insgesamt kürzer. So kann eine Speicherzelle, die räumlich nahe bei dem Logikbereich angeordnet ist, ebenso zuverlässig beschrieben und ausgelesen werden wie eine Speicherzelle, die weit entfernt von dem Logikbereich angeordnet ist; die Signallaufzeiten variieren weniger stark in Abhängigkeit von der räumlichen Entfernung der Speicherzellen vom Logikbereich, wodurch der Halbleiterspeicher insbesondere bei hohen Taktfrequenzen sicherer fehlerfrei betreibbar ist.

Erfindungsgemäß ist ferner vorgesehen, daß an jedem Kreuzungspunkt zwischen einer ersten und einer zweiten Leitung eine Speicherzelle angeschlossen ist und daß hinsichtlich einer Leitungsart (hinsichtlich entweder der ersten oder der zweiten Leitungen) die Speicherkondensatoren der an diese Leitungen angeschlossenen Speicherzellen seitlich abwechselnd zu beiden Seiten der jeweiligen Leitung, an die die Speicherzellen angeschlossen sind, versetzt sind. Die Speicherkondensatoren sind also entlang einer Leitungsart abwechselnd links von der Leitung und rechts von der Leitung, an die sie angeschlossen sind, versetzt und nicht zentral über oder unter dieser Leitung angeordnet. Die auf diese Weise seitlich versetzten Speicherkondensatoren sind über die jeweilige Leitung betrachtet in Form einer Zickzack-Linie relativ zur Leitung versetzt. Durch dieses Merkmal wird entlang der entsprechen-

den Leitung die Speicherzellendichte erhöht. Der Abstand ein-
ander nächstbenachbarter Speicherzellen wird durch den Quer-
schnitt der Speicherkondensatoren mitbestimmt. Ein seitliches
Versetzen alternierend in beide Richtungen quer zur Leitung
ermöglicht es, die Kondensatoren der Speicherzellen entlang
5 der Leitung zu komprimieren und so die Speicherzellendichte
entlang dieser Leitung zu erhöhen.

Die Kombination eines Speicherzellenfeldes, in dem zueinander
10 divergent verlaufende erste Leitungen existieren, mit der
durch alternierende seitliche Versetzungen bewirkten Kompri-
mierung von Speicherzellen entlang zumindest einer Leitungs-
art bewirkt homogene Signalverzögerungszeiten, die höhere
Taktraten und einen mit höherer Zuverlässigkeit fehlerfreien
15 Betrieb eines Halbleiterspeichers erlauben als im Falle her-
kömmlicher, rechteckig aufgebauter Speicherzellenfelder.

Bei dem Halbleiterspeicher gemäß Anspruch 1 ist die Speicher-
zellendichte entlang der ersten Leitungen, d.h. entlang der
20 divergent verlaufenden Leitungen durch alternierende seitli-
che Versetzungen der Speicherkondensatoren erhöht. Dadurch
wird entlang der ersten Leitungen, die aufgrund ihres diver-
gierenden Verlaufs von einem Logikbereich in alle Richtungen
(von 0 bis 360° auf der Waferoberfläche) ausgehend in großer
25 Zahl angeordnet und daher sehr kurz ausgebildet sein können,
noch weiter erhöht. Entlang der Leitungsstrecke der ersten
Leitungen - etwa von einem inneren Radius eines ringförmigen
Speicherzellenfeldes bis zu dessen äußerem Radius - kann
durch die alternierenden seitlichen Versetzungen eine relativ
30 hohe Anzahl von Speicherzellen angeschlossen werden.

Bei dem Halbleiterspeicher gemäß Anspruch 2 hingegen sind die
Speicherkondensatoren relativ zu den zweiten Leitungen, d.h.
relativ zu den gekrümmten Leitungen alternierend seitlich
35 versetzt. Dadurch kann bei vorgegebener Anzahl von Speicher-
zellen, die durch jeweils eine gekrümmte zweite Leitung ange-
schlossen werden, die Länge dieser gekrümmten Leitung ver-

kürzt werden. Wenn ein Speicherzellenfeld etwa in Form eines Ringabschnittes ausgebildet ist, der einen Logikbereich nur in einem gewissen Winkelbereich umgibt, so kann der Azimutwinkel, den das Speicherzellenfeld einnimmt, kleiner gewählt werden, und es können mehrere solcher Speicherzellenfelder
5 vorgesehen werden, als wenn die Speicherkondensatoren zentral über oder unter den gekrümmten Leitungen angeordnet werden.

Erfindungsgemäß sind also die Kondensatoren der an die entweder ersten oder zweiten Leitungen angeschlossenen Speicherzellen abwechselnd zu beiden Seiten der entweder ersten oder zweiten Leitungen seitlich versetzt. Auf diese Weise können durch eine einzige erste oder zweite Leitung zwei Reihen von Speicherzellen angesteuert werden. Vorzugsweise ist vorgesehen, daß die Speicherkondensatoren der an eine einzige Leitung, z.B. eine Wortleitung angeschlossenen Speicherzellen
15 abwechselnd auf der einen Seite dieser Wortleitung und auf der anderen Seite dieser Wortleitung angeordnet sind. Somit verläuft die Wortleitung in der Mitte zwischen zwei Reihen von Speicherzellen, die beide durch diese einzige Wortleitung angesteuert werden.
20

Das Verkürzen von ersten oder zweiten Leitungen durch alternierendes seitliches Versetzen von Speicherkondensatoren hat zum einen den Vorteil, daß weniger Treiber zum Betreiben dieser Leitungen erforderlich sind; zum anderen können, soweit es die lithographische Auflösungsgrenze für die ersten und zweiten Leitungen zuläßt, zwischen einander benachbarten (ersten oder zweiten) Leitungen, die jeweils zwei Reihen von Speicherzellen ansteuern, zusätzliche Leitungen, etwa Steuerleitungen oder Hilfsleitungen angeordnet werden. Beispielsweise ist denkbar, die Wortleitungen mit jeweils einer zusätzlichen Parallelleitung zur Erhöhung ihrer Leitfähigkeit auszustatten. Die Anzahl der benötigten Treiber für die zweiten Leitungen wird dadurch nicht erhöht.
35

Bei dem erfindungsgemäßen Halbleiterspeicher ist die Anzahl von Speicherzellen, die pro Leitungslänge an eine Wortleitung oder an eine Bitleitung angeschlossen sind, gegenüber einem herkömmlichen Halbleiterspeicher verändert. Das durch die erfindungsgemäße Anordnung erreichte veränderte Verhältnis der Zellendichte entlang der Wortleitungen und entlang der Bitleitungen der Speicherzellenfeldes schafft zusätzliches Potential für eine Optimierung der Leitungslängen auf einem Halbleitersubstrat. Eine Veränderung der Anzahl pro Wort- oder Bitleitung angeschlossener Speicherzellen bietet außerdem die Möglichkeit, außer der Länge auch die Kapazität von Wortleitungen und Bitleitungen zu optimieren.

Vorzugsweise ist vorgesehen, daß die ersten Leitungen sich von einem Logikbereich ausgehend divergierend zu den Speicherzellen mindestens eines Speicherzellenfeldes erstrecken. Dabei kann der Logikbereich azimuthal von einem oder mehreren Speicherzellenfeldern umgeben sein.

Insbesondere ist vorgesehen, daß die Speicherzellen mindestens ein teilringförmiges Speicherzellenfeld bilden, in dem die ersten Leitungen radialförmig divergieren und die zweiten Leitungen kreisbogenförmig gekrümmt sind. Bei dieser Ringstruktur aus einem oder mehreren Speicherzellenfeldern besitzen alle Speicherzellen einen Abstand von dem Logikbereich, der weniger stark mit der Position einer Speicherzelle im Speicherzellenfeld variiert als im Falle eines herkömmlichen, rechteckig oder quadratisch ausgebildeten Speicherzellenfeldes, das von zwei Kanten des Speicherzellenfeldes her mit einem Logikbereich zu verbinden ist.

Vorzugsweise ist vorgesehen, daß ein oder mehrere Speicherzellenfelder einen Logikbereich ringförmig umgeben. Insbesondere mehrere teilringförmige Speicherzellenfelder können durch Zwischenräume eines Azimutwinkels, dessen Größe beliebig wählbar ist, jedoch vorzugsweise nur wenige Grad, beispielsweise maximal 5° beträgt, getrennt sein. In den Zwi-

schenräumen können die gekrümmten Leitungen mit dem Logikbereich verbunden werden. Ferner können in diesen Zwischenräumen beliebige andere Leitungen für z.B. Stromversorgungen angeordnet werden.

5

Eine erste Ausführungsart sieht vor, daß die ersten Leitungen Bitleitungen und die zweiten Leitungen Wortleitungen sind. Dabei sind die Bitleitungen, die zum Beschreiben und Auslesen von Speicherzellen unmittelbar die als Datenbit zu wertende Ladungsmenge weiterleiten, divergierend und im Vergleich zu den Wortleitungen kurz ausgebildet, wodurch Schreib- oder Lesefehler reduziert werden. Die entlang der radial divergierenden Bitleitungen komprimiert aufgereihten Speicherzellen können ohne nennenswerte Abweichungen der Signalverzögerungen beim Auslesen der Bitleitungen betrieben werden.

10

15

Alternativ ist vorgesehen, daß die ersten Leitungen Wortleitungen und die zweiten Leitungen Bitleitungen sind. Bei dieser Ausführungsform verlaufen die Wortleitungen radial divergierend und die zweiten Bitleitungen gekrümmt, etwa in konzentrischen Kreisen oder Kreisbogenabschnitten. Die Bitleitungen sind zwar bei dieser Ausführungsform vorzugsweise länger als die Wortleitungen, jedoch sind die Speicherzellen durch seitliches Versetzen relativ zu den Bitleitungen entlang der gekrümmten Bitleitungen komprimiert. Die größere Leitungslänge der gekrümmten Bitleitungen wird dadurch kompensiert. Die mit Blick auf die beiden letztgenannten zueinander alternativen Ausführungsarten geschriebenen Vorteile bestehen auch in dem Fall, daß die durch alternierende seitliche Versetzungen bewirkte Erhöhung der Speicherzellendichte an der jeweils anderen Leitungsart (der divergierenden oder der gekrümmten Leitungen) vorgesehen wird.

20

25

30

35

Vorzugsweise ist vorgesehen, daß beliebige zwei Speicherzellen, die an dieselbe Wortleitung angeschlossen sind und deren Speicherkondensatoren entlang dieser Wortleitung zueinander benachbart sind, stets an zwei einander benachbarte Bitlei-

tungen angeschlossen sind. Dadurch wird bei einem Halbleiterspeicher, in dessen Speicherzellenfeld jeder Kreuzungspunkt zwischen einer Wortleitung und einer Bitleitung eine Speicherzelle kontaktiert, ein Auslesen der Speicherzellen durch Vergleich der Bitleitungspaare je zweier zueinander nächstbenachbarter Bitleitungen möglich (folded bitline).

Vorzugsweise sind die Speicherkondensatoren in einem Halbleitersubstrat vergrabene Grabenkondensatoren. Die in einem deep trench angeordneten Kondensatoren werden hergestellt, indem in einen deep trench zunächst das Kondensatordielektrikum an der Grabenwand abgeschieden wird und anschließend eine Füllung als innere Kondensatorelektrode eingebracht wird. Die äußere Elektrode wird durch eine eindiffundierte Schicht in dem dotierten Halbleitersubstrat, das den deep trench umgibt, gebildet.

Alternativ dazu können über den Halbleitersubstrat gestapelte Schichtkondensatoren vorgesehen sein.

Die Auswahltransistoren sind vorzugsweise Feldeffekttransistoren, insbesondere MOSFETs; ihre Gateelektroden sind üblicherweise an die Wortleitungen angeschlossen. Die oberen Source/Drain-Elektroden der vertikalen Auswahltransistoren sind an die Bitleitungen angeschlossen; die unteren Source/Drain-Elektroden sind leitfähig mit der inneren Elektrode des Kondensators verbunden.

Eine Ausführungsform sieht vor, daß mindestens ein weiterer, nicht von Speicherbereichen umgebener Logikbereich auf dem Halbleitersubstrat vorgesehen ist, der zwischen einem Speicherbereich und einem Rand des Heitersubstrats angeordnet ist. Dieser weitere Logikbereich kann etwa an einem Chiprand oder in einer Ecke eines Halbleiterchips angeordnet sein. Ebenso ist denkbar, daß der oder die weiteren Logikbereiche zwischen einander benachbarten Speicherbereichen angeordnet sind. Diese Logikbereiche bilden Teilbereiche einer Logik-

schaltung, die zum Betreiben des Halbleiterspeichers, insbesondere zum Ansteuern der Speicherzellenfelder dient. Vorzugsweise werden nur solche Teilbereiche der Logikschaltung im Zentrum des Halbleiterchips angeordnet, von denen ausgehend eine möglichst kurze und gleichmäßig kurze Verbindung zu allen Speicherzellen erforderlich ist.

Der Halbleiterspeicher ist vorzugsweise ein flüchtiger Halbleiterspeicher, insbesondere ein DRAM.

10

Die Erfindung wird nachstehend anhand der Figuren 1 bis 5 beschrieben. Es zeigen:

15

Figur 1 einen Querschnitt durch eine vertikale Speicherzelle eines Halbleiterspeichers mit Grabenkondensatoren,

20

Figur 2 eine Draufsicht auf eine erste Ausführungsform eines erfindungsgemäßen Halbleiterspeichers,

Figur 3 eine Draufsicht auf eine zweite Ausführungsform eines erfindungsgemäßen Halbleiterspeichers,

25

Figur 4 eine erste Ausführungsform eines erfindungsgemäßen Halbleiterspeichers in Detailansicht und

Figur 5 eine zweite Ausführungsform eines erfindungsgemäßen Halbleiterspeichers in Detailansicht.

30

Figur 1 zeigt den typischen Aufbau einer Speicherzelle, die einen in einem deep trench angeordneten Speicherkondensator, d. h. einen Grabenkondensator 3 aufweist. In dem Graben ist oberhalb des Speicherkondensators 3 der vertikale Auswahltransistor 4 der Speicherzelle 5 angeordnet. Sofern der Auswahltransistor ein MOSFET ist, besitzt er eine obere und eine

35

untere Source/Drain-Elektrode 11, 12, zwischen denen ein Kanalbereich angeordnet ist. Seitlich neben dem Kanalbereich

verläuft eine Wortleitung 2, die die Gateelektrode des Auswahltransistors bildet. Zwischen der Gateelektrode und dem Kanalbereich ist eine dünne Isolatorschicht angeordnet, durch elektrische Induktion kann ein Kanal ausgebildet werden, der den Transistor öffnet und den Kondensator 3 lädt oder ent-

5 lädt.

Die obere Elektrode 11 ist mit einer Bitleitung 1 verbunden, die senkrecht zur Wortleitung 2 über die Substratoberfläche verläuft.

10

Die in Figur 1 in Querschnittsansicht dargestellte Speicherzelle ist auf einem Halbleiterspeicher in großer Anzahl vorhanden. Figur 2 zeigt einen solchen erfindungsgemäßen Halbleiterspeicher in der Draufsicht, wobei ein zentral angeordneter Logikbereich 9 von insgesamt vier Speicherbereichen 10 umgeben ist. Alternativ dazu kann jede andere Anzahl von Speicherbereichen 10 vorgesehen sein. Jeder Speicherbereich 10 besitzt erste Leitungen 1, die beispielsweise Bitleitungen (oder Wortleitungen) sein können und die radialförmig divergierend vom Logikbereich 9 durch den jeweiligen Speicherbereich 10 verlaufen. Die zweiten Leitungen 2, etwa Wortleitungen (oder Bitleitungen), verlaufen kreisbogenförmig gekrümmt und sind in schmalen Flächenbereichen zwischen einander benachbarten kreisbogenförmigen Speicherzellenfeldern mit dem Logikbereich 9 verbunden. Entlang einer dieser Leitungen, entweder der divergierenden oder der gekrümmten Leitungen, sind die Speicherzellen alternierend seitlich versetzt, wie in Figur 2 anhand der Speicherkondensatoren 3a angedeutet.

15

20

25

30

Diese befinden sich in dem rechten unteren Speicherbereich 10 der Figur 2 abwechselnd links und rechts von der ersten Leitung 1, an die sie angeschlossen sind.

Figur 2 zeigt zwei weitere, nicht von Speicherbereichen umgebene Logikbereiche 8 auf dem Halbleitersubstrat 7, die zwischen einem Speicherbereich 10 und einem Rand 14 des Heiter- substrats angeordnet sind. Dieser weiteren Logikbereiche sind

35

an einem Chiprand und in einer Ecke eines Halbleiterchips angeordnet. Ebenso ist denkbar, daß die weiteren Logikbereiche zwischen einander benachbarten Speicherbereichen angeordnet sind. Diese Logikbereiche 8 und 9 bilden Teilbereiche einer Logikschaltung, die zum Betreiben des Halbleiterspeichers, insbesondere zum Ansteuern der Speicherzellenfelder 10 dient. Vorzugsweise werden nur solche Teilbereiche 9 der Logikschaltung im Zentrum des Halbleiterchips angeordnet, von denen ausgehend eine möglichst kurze und gleichmäßig kurze Verbindung zu allen Speicherzellenfeldern 10 erforderlich ist.

Figur 4 zeigt einen Ausschnitt eines Speicherzellenfeldes 10 aus Figur 2, in dem zueinander divergent verlaufende erste Leitungen 1 von gekrümmten zweiten Leitungen 2 gekreuzt werden und in jedem Kreuzungspunkt eine etwa wie in Figur 1 aufgebaute und mit einem Speicherkondensator 3 versehene Speicherzelle angeordnet ist. Die Speicherkondensatoren 3 sind entlang der divergierenden ersten Leitungen 1 infolge ihres seitlichen Versatzes abwechselnd nach links und nach rechts von der jeweiligen Leitung 1 versetzt und entlang dieser Leitung 1 komprimiert, wodurch durch die radialförmig auseinanderlaufenden Leitungen über kurze Strecken noch mehr Speicherzellen angesteuert werden können. Entlang der Leitungen 1 laufende Signale sind daher mit besonders kleinen Signalverzögerungszeiten behaftet, die zudem sehr homogen sind.

Figur 3 zeigt eine weitere Ausführungsform eines erfindungsgemäßen Halbleiterspeichers, bei dem, wie im rechten unteren Speicherbereich 10 angedeutet, die Speicherkondensatoren 3b der Speicherzellen entlang der gekrümmten zweiten Leitungen 2 komprimiert und seitlich zu ihr versetzt sind.

Figur 5 zeigt eine vergrößerte Detailansicht eines Speicherbereichs aus Figur 2, wobei zueinander divergierend verlaufende Bitleitungen 1 ebenso wie Figur 4 von gekrümmten zweiten Leitungen 2 gekreuzt werden. Einander benachbarte erste Leitungen, beispielsweise Bitleitungen BL10, BL11 schließen

zueinander einen Winkel w ein, der kleiner ist als in Figur 4, da die Kondensatoren 3 nun entlang der gekrümmten Leitungen 2, beispielsweise der Wortleitungen WL1 bis WL4, durch seitliche Versetzungen komprimiert aufgereiht sind. Somit können die kreisbogenförmig verlaufenden Wortleitungen auch auf einem relativ kurzen Kreisringumfang bzw. Kreisbogenabschnitt eine verhältnismäßig hohe Anzahl von Speicherzellen kontaktieren, so daß entlang der zweiten Leitungen die Signalverzögerungen relativ homogen sind.

Die Verschaltung der Speicherzellen miteinander ist in den Figuren 4 und 5 unterschiedlich. Jede Wortleitung 2 ist in Figur 5 an zwei zur Wortleitung konzentrisch gekrümmte Reihen von Speicherzellen 5 angeschlossen. Die an jeweils eine einzige Wortleitung 2 angeschlossenen Speicherzellen 3 sind in Form einer zickzackförmigen Linie abwechselnd oberhalb und unterhalb der Wortleitung in Figur 5, d.h. in Bezug auf die Substratoberfläche links und rechts von der Wortleitung 2 zu dieser versetzt angeordnet, wodurch eine Wortleitung pro Wortleitungslänge mehr Speicherzellen ansteuern kann als bei einem herkömmlichen Halbleiterspeicher. Wie bei einem herkömmlichen Halbleiterspeicher sind auch in Figur 5 zwei an dieselbe Bitleitung BL11 angeschlossene und entlang dieser Bitleitung BL11 einander benachbarte Speicherzellen 5a an verschiedene, einander nächstbenachbarte Wortleitungen 2 angeschlossen, so daß mit dem erfindungsgemäßen Halbleiterspeicher ein Ansteuern jeweils nur einer einzigen Speicherzelle möglich ist. Die Speicherkondensatoren, die an eine bestimmte einzelne Bitleitung angeschlossenen Speicherzellen 5a sind zudem entweder alle rechts oder alle links von den mit ihnen verbundenen Wortleitung versetzt angeordnet.

In Figur 4 sind die divergierenden Leitungen und die gekrümmten Leitungen hinsichtlich der Anordnung der Speicherkondensatoren gegenüber Figur 5 vertauscht.

Insbesondere flüchtige Halbleiterspeicher wie vorzugsweise DRAMs können auf die erfindungsgemäße Weise ausgebildet werden.

Patentansprüche

1. Halbleiterspeicher mit einer Vielzahl von Speicherzellen (5), die an erste Leitungen (1) und an zweite Leitungen (2),
5 die die ersten Leitungen (1) kreuzen, angeschlossen sind und die jeweils einen Speicherkondensator (3) und einen Auswahltransistor (4) aufweisen,

d a d u r c h g e k e n n z e i c h n e t, daß
10 die Speicherzellen (5) mindestens ein Speicherzellenfeld (10) bilden, in dem

- die ersten Leitungen (1) zueinander divergent verlaufen und die zweiten Leitungen (2) gekrümmt sind,
- an jedem Kreuzungspunkt zwischen einer ersten Leitung (1) und einer zweiten Leitung (2) eine Speicherzelle (5)
15 angeschlossen ist und
- an jede der ersten Leitungen (1) Speicherzellen (5) angeschlossen sind, deren Speicherkondensatoren (3, 3a) seitlich abwechselnd zu beiden Seiten der jeweiligen ersten Leitung (1) versetzt angeordnet sind.

2. Halbleiterspeicher mit einer Vielzahl von Speicherzellen (5), die an erste Leitungen (1) und an zweite Leitungen (2),
25 die die ersten Leitungen (1) kreuzen, angeschlossen sind und die jeweils einen Speicherkondensator (3) und einen Auswahltransistor (4) aufweisen,

d a d u r c h g e k e n n z e i c h n e t, daß
die Speicherzellen (5) mindestens ein Speicherzellenfeld (10) bilden, in dem

- die ersten Leitungen (1) zueinander divergent verlaufen und
30 die zweiten Leitungen (2) gekrümmt sind,
- an jedem Kreuzungspunkt zwischen einer ersten Leitung (1) und einer zweiten Leitung (2) eine Speicherzelle (5) angeschlossen ist und
- an jede der zweiten Leitungen (2) Speicherzellen (5) ange-
35 schlossen sind, deren Speicherkondensatoren (3, 3b) seitlich abwechselnd zu beiden Seiten der jeweiligen zweiten Leitung (2) versetzt angeordnet sind.

3. Halbleiterspeicher nach Anspruch 1 oder 2,
d a d u r c h g e k e n n z e i c h n e t, daß
die ersten Leitungen (1) sich von einem Logikbereich (9) aus-
5 gehend divergierend zu den Speicherzellen (5) mindestens
eines Speicherzellenfeldes (10) erstrecken.
4. Halbleiterspeicher nach einem der Ansprüche 1 bis 3,
d a d u r c h g e k e n n z e i c h n e t, daß
10 die Speicherzellen (5) mindestens ein teilringförmiges Spei-
cherzellenfeld (10) bilden, in dem die ersten Leitungen (1)
radialförmig divergieren und die zweiten Leitungen (2) kreis-
bogenförmig gekrümmt sind.
- 15 5. Halbleiterspeicher nach einem der Ansprüche 1 bis 4,
d a d u r c h g e k e n n z e i c h n e t, daß
ein oder mehrere Speicherzellenfelder (10) einen Logikbereich
(9) ringförmig umgeben.
- 20 6. Halbleiterspeicher nach einem der Ansprüche 1 bis 5,
d a d u r c h g e k e n n z e i c h n e t, daß
die ersten Leitungen (1) Bitleitungen und die zweiten Leitun-
gen (2) Wortleitungen sind.
- 25 7. Halbleiterspeicher nach einem der Ansprüche 1 bis 5,
d a d u r c h g e k e n n z e i c h n e t, daß
die ersten Leitungen (1) Wortleitungen und die zweiten Lei-
tungen (2) Bitleitungen sind.
- 30 8. Halbleiterspeicher nach einem der Ansprüche 1 bis 7,
d a d u r c h g e k e n n z e i c h n e t, daß
beliebige zwei Speicherzellen (5a), die an dieselbe Wortlei-
tung (1; 2) angeschlossen sind und deren Speicherkondensato-
ren (3) entlang dieser Wortleitung (1; 2) zueinander benach-
35 bart sind, stets an zwei einander benachbarte Bitleitungen
(2; 1) angeschlossen sind.

9. Halbleiterspeicher nach einem der Ansprüche 1 bis 8,
dadurch gekennzeichnet, daß
die Speicherkondensatoren (3) in einem Halbleitersubstrat (7)
vergrabene Grabenkondensatoren sind.

5

10. Halbleiterspeicher nach einem der Ansprüche 1 bis 9,
dadurch gekennzeichnet, daß
die Auswahltransistoren (4) vertikale Feldeffekttransistoren
sind, deren Gateelektroden (6) an die Wortleitungen (2) ange-
schlossen sind.

10

11. Halbleiterspeicher nach einem der Ansprüche 9 oder 10,
dadurch gekennzeichnet, daß
mindestens ein weiterer, nicht von Speicherbereichen umgebe-
ner Logikbereich (8) auf dem Halbleitersubstrat (7) vorgese-
hen ist, der zwischen einem Speicherbereich (10) und einem
Rand (14) des Halbleitersubstrats (7) angeordnet ist.

15

12. Halbleiterspeicher nach einem der Ansprüche 1 bis 11,
dadurch gekennzeichnet, daß
der Halbleiterspeicher ein dynamischer Schreib-Lese-Speicher
ist.

20

Zusammenfassung

Halbleiterspeicher mit einer Anordnung von Speicherzellen

5 Es wird ein Halbleiterspeicher mit einer neuartigen Geometrie
des Speicherzellenfeldes vorgeschlagen. Erfindungsgemäß ver-
laufen erste Leitungen (1), an welche Speicherzellen ange-
geschlossen sind, zueinander divergent, wohingegen zweite Lei-
10 tungen (2), an die die Speicherzellen angeschlossen sind, ge-
krümmt sind. Zudem sind die Speicherkondensatoren (3) abwech-
selnd zu beiden Seiten der beispielsweise ersten Leitungen
(1), über die sie angesteuert werden, versetzt, wodurch ent-
lang dieser ersten Leitungen (10) die Speicherzellendichte
15 pro Leitungslänge erhöht wird. Die Kombination der Geometrie
des Speicherzellenfeldes (10) mit dem seitlichen Versatz von
Speicherkondensatoren (3) ermöglicht eine Angleichung von Si-
gnalverzögerungen entlang von Wortleitungen und Bitleitungen
unabhängig von der Position einer Speicherzelle im Speicher-
zellenfeld (10). Durch die Geometrie des Speicherzellenfeldes
20 (10) können insbesondere entlang der zueinander divergieren-
den ersten Leitungen (1) besonders kurze Signallaufzeiten er-
zielt werden, was insbesondere bei hohen Taktfrequenzen einen
fehlerfreien Betrieb eines Halbleiterspeichers erleichtert.

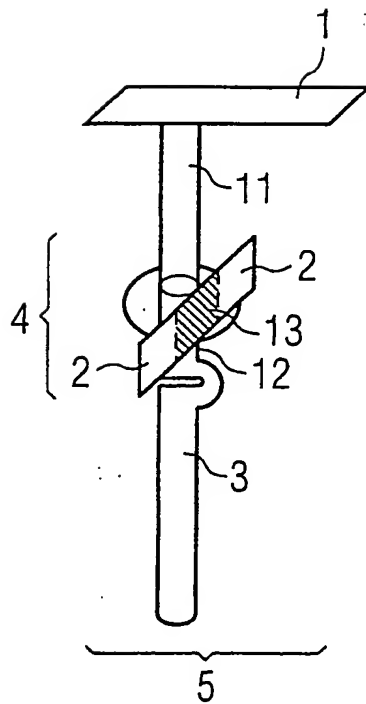
25 Figur 4

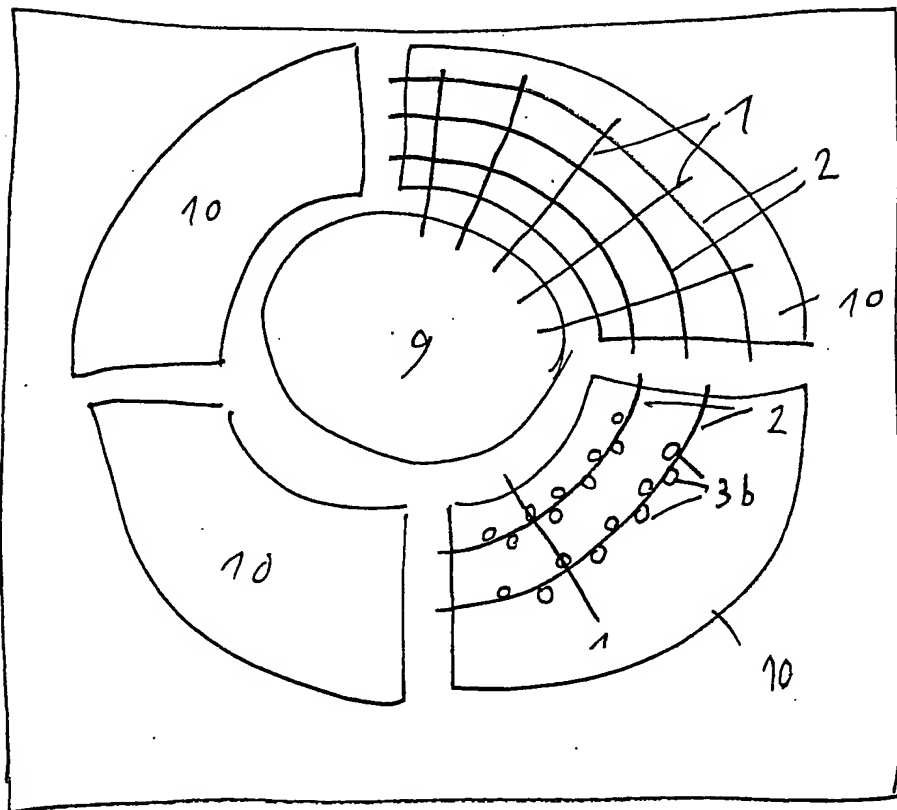
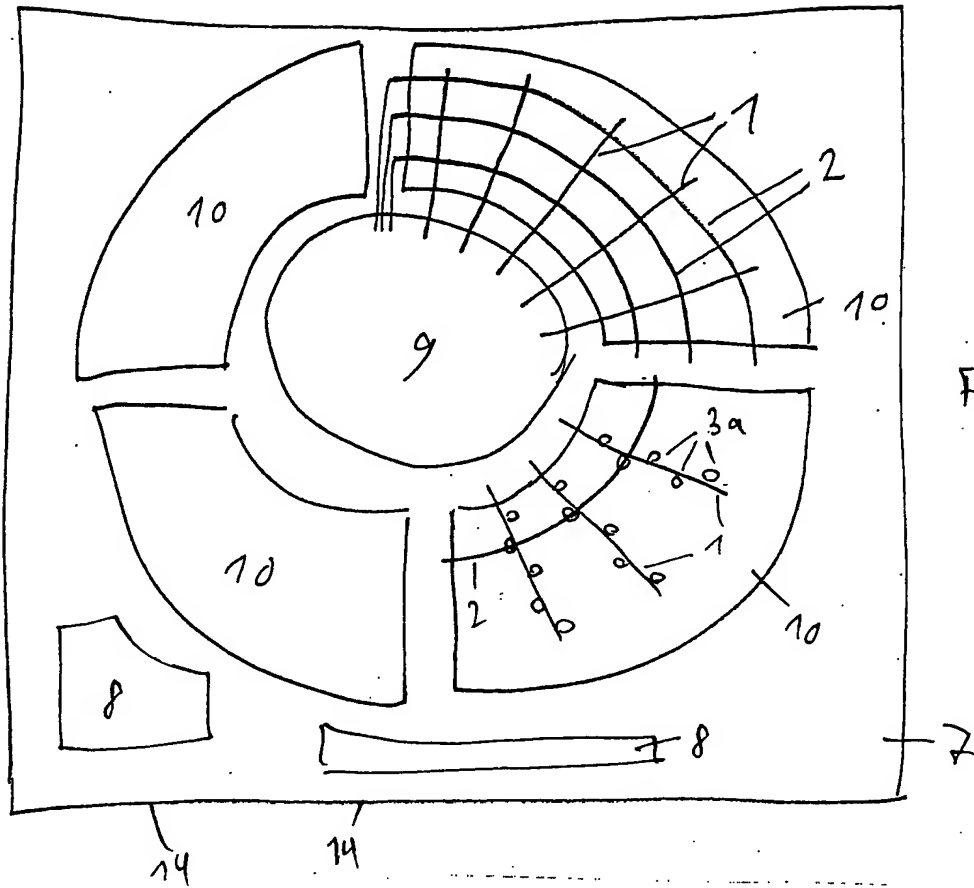
Bezugszeichenliste

	1	erste Leitung
	2	zweite Leitung
5	3, 3a, 3b	Speicherkondensator
	4	Auswahltransistor
	5, 5a	Speicherzelle
	7	Halbleitersubstrat
	8	weiterer Logikbereich
10	9	Logikbereich
	10	Speicherzellenfeld
	11	obere Source/Drain-Elektrode
	12	untere Source/Drain-Elektrode
	13	Gateelektrode
15	14	Rand des Halbleitersubstrats

11.4

Fig. 1





3/4

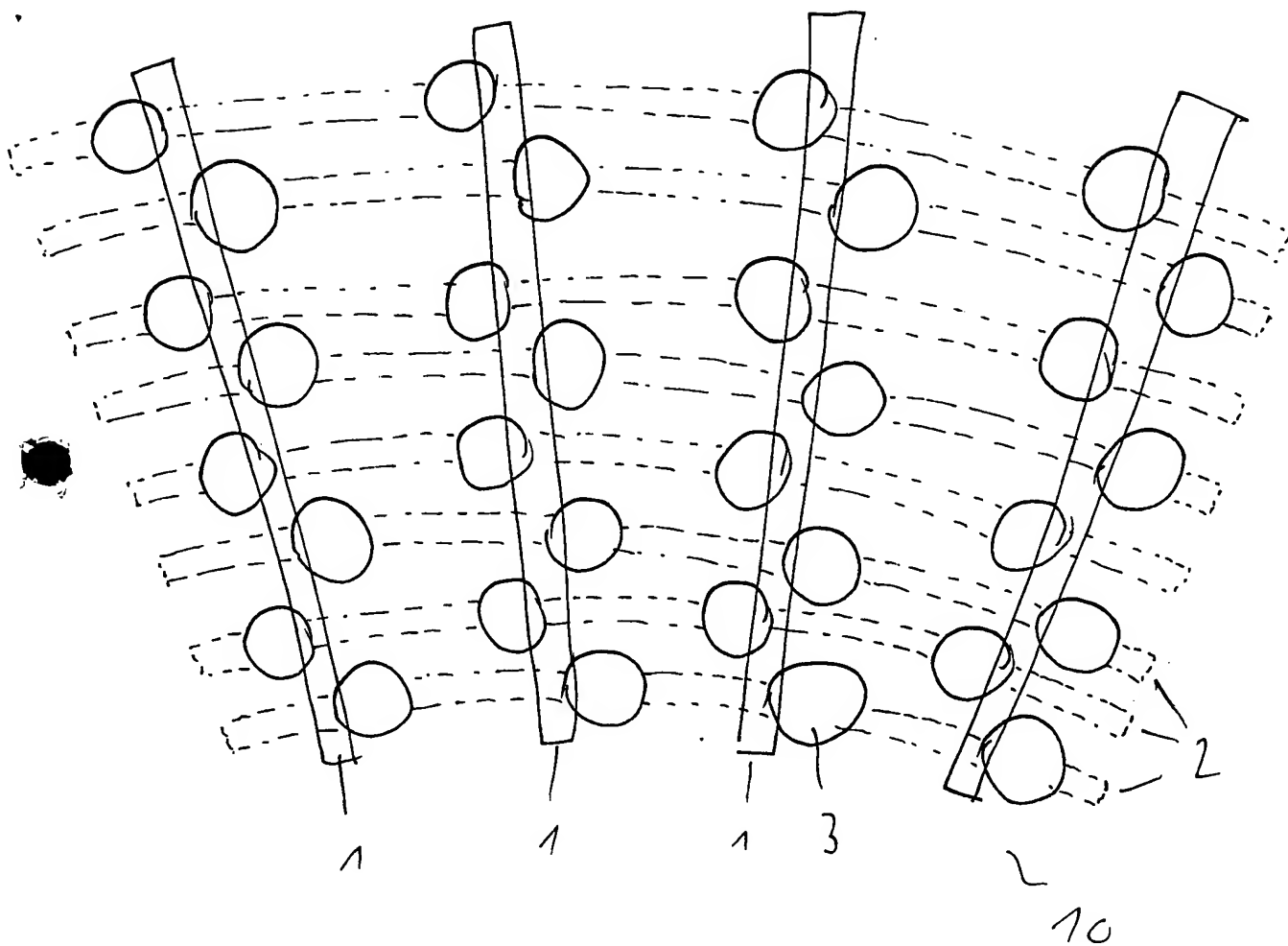


Fig. 4

414

